

Prova d'esame del 16 Febbraio 2021

- 1) Una pipeline rispetto a una CPU a singolo ciclo:
 - A. Riduce il tempo di esecuzione di un programma
 - B. Riduce il tempo di esecuzione di un'istruzione
 - C. Riduce il tempo di esecuzione di un programma solo se vengono eseguiti più programmi in parallelo
 - D. Riduce il tempo di esecuzione di un'istruzione solo se più istruzioni possono essere avviate in esecuzione in parallelo.
 - E. E' più efficiente perche' consuma meno energia per eseguire la singola istruzione.

- 2) In queste posizioni si può trovare un dato della memoria principale in un cache a 4-vie?
 - A. In 1 posizione tra 4 possibili.
 - B. 1 posizione sola.
 - C. Dipende dall'altezza della cache.
 - D. Dipende dal grado di associatività.
 - E. In un numero di posizioni fino a $2^4 = 16$ posizioni diverse.

- 3) Il codice di parità serve per identificare se sono avvenuti errori in memoria. Da chi viene utilizzato per capire se si sono verificati errori in memoria?
 - A. Dalla MMU quando il dato viene letto.
 - B. Dalla CPU quando riceve il dato.
 - C. Dalla CPU o dalla MMU indifferentemente.
 - D. Dalla MMU quando il dato viene scritto.
 - E. Dalla CPU quando il dato viene scritto.

- 4) La latenza di un dispositivo viene misurata come:
 - A. Il periodo di tempo che va dall'invio dell'indirizzo e del comando alla ricezione del dato.
 - B. Il periodo di tempo in cui un dispositivo è idle.
 - C. Il tempo di trasferimento.
 - D. Il tempo di scrittura del buffer di uscita del dispositivo.
 - E. Il tempo necessario per capire se il dispositivo è interessato dalla richiesta.

- 5) Pipeline super-scalare è sinonimo di:
 - A. Pipeline multiple issue dinamica
 - B. Pipeline multiple issue statica
 - C. Pipeline multiple issue
 - D. Pipeline con elaborazione vettoriale
 - E. Pipeline molto profonda.

- 6) Qual è il ruolo di una commit unit in una CPU?
 - A. Mantenere un risultato fino a quando la speculazione non è stata risolta.
 - B. Gestire il trasferimento con la memoria principale.
 - C. Gestire il trasferimento con la CPU

- D. Gestire il trasferimento con la Cache
 - E. Mantenere un risultato fino a quando i risultati che dovevano essere consegnati successivamente non sono stati tutti consegnati.
- 7) Cosa si intende per blocking?
- A. L'esecuzione di funzioni su sotto-insiemi di dati.
 - B. La messa in attesa delle istruzioni che hanno dipendenze con le istruzioni precedenti.
 - C. Il blocco e flush delle istruzioni a seguito di un interrupt o eccezione.
 - D. E' sinonimo del comando halt Intel.
 - E. Il blocco delle istruzioni dannose per l'esecuzione.
- 8) Per polling si intende:
- A) Una procedura di lettura/scrittura nella quale ciclicamente vengono interrogati i diversi dispositivi di input-output.
 - B) Una procedura di input output in cui i dispositivi vengono mappati in memoria.
 - C) Una procedura di lettura della memoria in modo esclusivo.
 - D) Una procedura di gestione dell'input/output efficiente basata su interrupt.
 - E) La procedura per cui si disinfettano i dispositivi nel periodo di fioritura (primavera).
- 9) Cosa si intende per consistenza di una memoria:
- A) La lettura e scrittura ordinata nel tempo
 - B) La presenza dello stesso dato nei diversi livelli della memoria
 - C) E' sinonimo di MTTF
 - D) E' sinonimo di AFR
 - E) La robustezza della memoria agli urti
- 10) Quale ruolo e che caratteristiche ha il TLB?
- A) Contenere la traduzione del numero di pagina virtuale in numero di pagina fisica. E' una cache associativa.
 - B) Contenere la traduzione del numero di pagina fisica in numero di pagina virtuale. E' una cache associativa.
 - C) Contenere la traduzione del numero di pagina virtuale in numero di pagina fisica. E' una cache a mappatura diretta.
 - D) Contenere la traduzione del numero di pagina fisica in numero di pagina virtuale. E' una cache a mappatura diretta.
 - E) E' una shadow cache.
- 11) Di solito, chi utilizza la memoria virtuale e chi utilizza la memoria fisica?
- A) La CPU utilizza indirizzi virtuali, il controllore della Memoria Principale utilizza indirizzi fisici.
 - B) La CPU utilizza indirizzi fisici, il controllore della Memoria Principale utilizza indirizzi virtuali.
 - C) La CPU e il controllore della Memoria Principale utilizzano entrambi indirizzi fisici.
 - D) La CPU e il controllore della Memoria Principale utilizzano entrambi indirizzi virtuali.
 - E) Dipende da un flag del processore.

12) Cosa si intende per Write Back?

- A) Modalità di scrittura della Memoria Principale secondo la quale si copia una linea di cache quando occorre caricare un micro-blocco diverso di MM in quella linea e quella linea è stata modificata dalla CPU.
- B) Modalità di scrittura della Memoria Principale (Main Memory, MM) secondo la quale si copia una linea di cache solo quando occorre caricare un micro-blocco diverso di MM in quella linea.
- C) Modalità di scrittura della Memoria Principale secondo la quale si copia una linea di cache quando occorre caricare un micro-blocco diverso di MM in quella linea e quella linea è stata invalidata dalla CPU o dalla MMU.
- D) Modalità di scrittura della Memoria Principale secondo la quale si copia una linea di cache quando viene modificata dalla CPU.
- E) Serve per il refresh della memoria: viene letta una linea di Memoria Principale e riscritta per evitare che l'informazione venga persa

13) La cella di una memoria DRAM è costituita da:

- A) 1 condensatore + 1 transistor.
- B) 1 condensatore
- C) 2 transistor
- D) 4 transistor
- E) 6 transistor

14) La cella di una memoria SRAM è costituita da:

- A) 1 latch
- B) 1 encoder + 1 decoder + 1 latch
- C) 2 transistor
- D) 4 transistor
- E) 1 latch di tipo SR con i segnali di S e R collegati assieme

15) Un disco a stato solido ha una forma:

- A) Parallelepipedo
- B) Circolare (a disco)
- C) Cilindrica (una pila di dischi)
- D) Cubica
- E) Sferica

16) Un disco magnetico ha le seguenti caratteristiche:

- A. Ha sempre una latenza maggiore di un disco a stato solido.
- B. Ha una capacità maggiore di un disco a stato solido e quindi supporta un trasferimento dati a velocità inferiore.
- C. Ha una capacità maggiore di un disco a stato solido e quindi supporta un trasferimento dati a una velocità superiore.
- D. Ha sempre una latenza minore di un disco a stato solido.
- E. E' più resistente agli urti di un disco a stato solido.

- 17) Per parallelismo a livello di parola si intende:
- A. Il calcolo di un'operazione in parallelo su piu' dati
 - B. Il calcolo di piu' operazioni in parallelo
 - C. E' sinonimo di esecuzione parallela
 - D. E' la valutazione di una branch in parallelo a un'istruzione di somma
 - E. E' la valutazione di una branch in parallelo a un'istruzione aritmetico-logica
- 18) Un processore con clock a 1 GHz, con 4 core, 8 cammini di esecuzione, di cui 4 Floating Point, ha una velocità di elaborazione di picco di:
- A) 16 GFlops
 - B) 32 GFlops
 - C) Dipende dal grado di parallelizzazione del programma
 - D) 64 GFlops
 - E) Dipende dal grado di parallelizzazione del sistema operativo
- 19) Cos'è il refresh della memoria?
- A) La necessità di leggere-scrivere un dato di una memoria DRAM entro un certo intervallo di tempo.
 - B) La buona pratica per cui dopo un certo numero di anni occorre sostituire un disco
 - C) La necessità di leggere-scrivere un dato di una memoria SRAM entro un certo intervallo di tempo.
 - D) La necessità di leggere-scrivere un dato su disco entro un certo intervallo di tempo.
 - E) La buona pratica per cui dopo un certo numero di anni occorre sostituire la memoria RAM.
- 20) Cosa fa un'istruzione di Push di un'ISA x32 e a quali istruzioni MIPS è equivalente?
- A) Alloca la memoria in stack e scrive un dato in stack: `addi $sp, $sp, -4; sw $t0, x($sp)`
 - B) Legge un dato dallo stack: `lw $t0, x($sp)`
 - C) Scrive un dato in stack: `sw $t0, x($sp)`
 - D) Alloca la memoria in stack e legge un dato da stack: `addi $sp, $sp, -4; lw $t0, x($sp)`
 - E) Forza l'over-clocking